## 静态5级流水 MIPS CPU实现

**1** 实验目的

1. 掌握流水处理器设计原理。

2. 熟悉并运用verilog语言进行电路设计。

**2** 实验设备

1. 装有Xilinx Vivado的计算机一台。

2. Basys-3实验板一块。

1. 实验任务
2. 设计一款静态5级流水简单MIPS CPU。

基于单周期MIPS处理器设计，修改完成5级流水的MIPS处理器，5级流水的时空图如图1所示。



图1 (a)单周期; (b)多周期; (c)5 级流水CPU时空图

1. 本次课程设计的设计框图。

5个部件都是同时运转，但对每条指令而言，依然是依次工作的，如图2所示。



图2 静态5 级流水CPU 的简要框图

1. 流水线处理器设计要求

本次实验内容暂不考虑前递技术，主要实现阻塞控制。

MIPS架构有延迟槽设定，处理器设计要支持延迟槽技术。

MIPS 架构中分支和跳转指令参与计算的PC 值均为延迟槽指令对应的PC(即分支跳转指令的PC+4),在本课程设计中尤其需要注意这一点。比如一条指令“beq,r0,r0,#2”在不考虑延迟槽的多周期CPU 中，其跳转的目标地址为beq 指令后面的第2条。而在考虑延迟槽的流水CPU 中，其跳转的目标地址为beq 指令后面的第3 条（即延迟槽指令后面的第2 条）。在编写测试程序时就需要注意分支跳转指令的偏移量。

4）指令系统

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 3  1 | 3  0 | 2  9 | 2  8 | 2  7 | 2  6 | 2  5 | 2  4 | 2  3 | 2  2 | 2  1 | 2  0 | 1  9 | 1  8 | 1  7 | 1  6 | 1  5 | 1  4 | 1  3 | 1  2 | 1  1 | 1  0 | | 0  9 | 0  8 | 0  7 | 0  6 | 0  5 | | 0  4 | 0  3 | 0  2 | 0  1 | 0  0 |
| **ADDU** | 000000 | | | | | | rs | | | | | rt | | | | | rd | | | | | 00000 | | | | | | 100001 | | | | | | |
| **SUBU** | 000000 | | | | | | rs | | | | | rt | | | | | rd | | | | | 00000 | | | | | | 100011 | | | | | | |
| **SLT** | 000000 | | | | | | rs | | | | | rt | | | | | rd | | | | | 00000 | | | | | | 101010 | | | | | | |
| **SLTU** | 000000 | | | | | | rs | | | | | rt | | | | | rd | | | | | 00000 | | | | | | 101011 | | | | | | |
| **AND** | 000000 | | | | | | rs | | | | | rt | | | | | rd | | | | | 00000 | | | | | | 100100 | | | | | | |
| **OR** | 000000 | | | | | | rs | | | | | rt | | | | | rd | | | | | 00000 | | | | | | 100101 | | | | | | |
| **XOR** | 000000 | | | | | | rs | | | | | rt | | | | | rd | | | | | 00000 | | | | | | 100110 | | | | | | |
| **NOR** | 000000 | | | | | | rs | | | | | rt | | | | | rd | | | | | 00000 | | | | | | 100111 | | | | | | |
| **SLL** | 000000 | | | | | | 00000 | | | | | rt | | | | | rd | | | | | sa | | | | | | 000000 | | | | | | |
| **SRL** | 000000 | | | | | | 00000 | | | | | rt | | | | | rd | | | | | sa | | | | | | 000010 | | | | | | |
| **SRA** | 000000 | | | | | | 00000 | | | | | rt | | | | | rd | | | | | sa | | | | | | 000011 | | | | | | |
| **ADDIU** | 001001 | | | | | | rs | | | | | rt | | | | | immediate | | | | | | | | | | | | | | | | | |
| **LUI** | 001111 | | | | | | 00000 | | | | | rt | | | | | immediate | | | | | | | | | | | | | | | | | |
| **LW** | 100011 | | | | | | base | | | | | rt | | | | | offset | | | | | | | | | | | | | | | | | |
| **SW** | 101011 | | | | | | base | | | | | rt | | | | | offset | | | | | | | | | | | | | | | | | |
| **BEQ** | 000100 | | | | | | rs | | | | | rt | | | | | offset | | | | | | | | | | | | | | | | | |
| **BNE** | 000101 | | | | | | rs | | | | | rt | | | | | offset | | | | | | | | | | | | | | | | | |
| **JR** | 000000 | | | | | | rs | | | | | 00000 | | | | | 00000 | | | | | | 00000 | | | | | | 001000 | | | | | |
| **JAL** | 000011 | | | | | | instr\_index | | | | | | | | | | | | | | | | | | | | | | | | | | | |

1. 设计步骤
2. 分析掌握单周期MIPS处理的设计框图和设计代码。
3. 对单周期处理器进行流水线改造。
4. 通过IP核形式增加指令存储器和数据存储器。



1. 完成SOC顶层设计

顶层接口信号描述

|  |  |  |  |
| --- | --- | --- | --- |
| 名称 | 宽度 | 方向 | 描述 |
| 时钟与复位 | | | |
| clk | 1 | input | 时钟信号，来自clk\_pll的输出时钟 |
| resetn | 1 | input | 复位信号，低电平同步复位 |
| 取指端访存接口 | | | |
| inst\_sram\_en | 1 | output | ram使能信号，高电平有效 |
| inst\_sram\_wen | 4 | output | ram字节写使能信号，高电平有效 |
| inst\_sram\_addr | 32 | output | ram读写地址，字节寻址 |
| inst\_sram\_wdata | 32 | output | ram写数据 |
| inst\_sram\_rdata | 32 | input | ram读数据 |
| 数据端访存接口 | | | |
| data\_sram\_en | 1 | output | ram使能信号，高电平有效 |
| data\_sram\_wen | 4 | output | ram字节写使能信号，高电平有效 |
| data\_sram\_addr | 32 | output | ram读写地址，字节寻址 |
| data\_sram\_wdata | 32 | output | ram写数据 |
| data\_sram\_rdata | 32 | input | ram读数据 |

1. 编写测试程序和testbench进行仿真测试。

6）（进阶设计内容）增加数码管单元，下载板卡调试。

1. 实验提交

本次实验要求独立完成，作业包括纸质档和电子档。 以班级为单位上交。

1. 参照实验报告模板撰写实验报告，上交电子版和纸质版。
2. 电子档提交，实验代码。